

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年   9 月 2 6 日  
Date of Application:

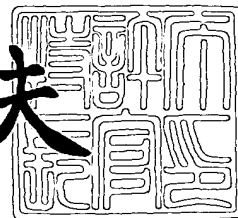
出 願 番 号            特 願 2 0 0 2 - 2 8 1 8 5 6  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 8 1 8 5 6 ]

出      願      人            セイコーエプソン株式会社  
Applicant(s):

2 0 0 3 年   8 月   1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 6 1 6 0 4

【書類名】 特許願

【整理番号】 J0093008

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/00

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 木村 睦

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100079108

    【弁理士】

    【氏名又は名称】 稲葉 良幸

【選任した代理人】

    【識別番号】 100080953

    【弁理士】

    【氏名又は名称】 田中 克郎

【選任した代理人】

    【識別番号】 100093861

    【弁理士】

    【氏名又は名称】 大賀 眞司

【手数料の表示】

    【予納台帳番号】 011903

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808570

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置の製造方法、電気光学装置、転写チップ、転写元基板、電子機器

【特許請求の範囲】

【請求項 1】

複数の色画素を含む基本画素を複数配列した表示領域を含む電気光学装置の製造方法であって、

第 1 の基板に各色画素を構成する複数の電気光学素子を駆動するための配線を前記基本画素の配列に対応して形成する基板配線形成工程と、

第 2 の基板に前記基本画素の複数の色画素となる前記複数の電気光学素子を駆動するための駆動回路を各基本画素毎に転写可能にチップ化して形成し、複数の基本画素駆動チップを得る基本画素駆動チップ形成工程と、

各基本画素駆動チップを前記第 2 の基板から前記第 1 の基板に転写し、前記配線の前記基本画素に対応する各領域に前記駆動回路を接続する基本画素駆動チップ転写工程と、を含む電気光学装置の製造方法。

【請求項 2】

前記基本画素駆動チップは、前記複数の電気光学素子の各々の動作状態をそれぞれ制御する複数の制御手段を含んで構成される、請求項 1 に記載の電気光学装置の製造方法。

【請求項 3】

前記制御手段の各々は、前記電気光学素子に流れる電流を制御する第 1 のトランジスタと、当該第 1 のトランジスタを入力信号に応じて動作させる第 2 のトランジスタを含んで構成される、請求項 2 に記載の電気光学装置の製造方法。

【請求項 4】

前記制御手段の各々に含まれる前記第 2 のトランジスタのゲート電極の各々は、各制御手段を通る一の共通配線に接続されている、請求項 3 に記載の電気光学装置の製造方法。

【請求項 5】

前記基本画素駆動チップは、当該基本画素駆動チップとの電氣的接続を担う複

数の第 1 の接続端子を備え、

前記第 1 の基板は、前記基本画素駆動チップが転写されるべき領域に前記第 1 の接続端子と一対一に対応するように設けられて、前記配線と電氣的接続を担う複数の第 2 の接続端子を備え、

前記基本画素駆動チップ転写工程は、前記複数の第 1 及び第 2 の接続端子をそれぞれ当接させるように転写を行うことにより前記基本画素駆動チップと前記第 1 の基板との間の電氣的接続を図っており、

前記基本画素駆動チップに含まれる前記共通配線と、当該共通配線と電氣的に接続されるべき前記第 1 の基板上の配線には、それぞれ一の第 1 及び第 2 の接続端子が割り当てられる、請求項 4 に記載の電気光学装置の製造方法。

#### 【請求項 6】

前記基本画素駆動チップ転写工程は、前記基本画素駆動チップに形成された前記第 1 の接続端子または前記第 1 の基板上に形成された前記第 2 の接続端子の少なくとも一方に接着層を形成する工程を含む、請求項 5 に記載の電気光学装置の製造方法。

#### 【請求項 7】

前記複数の第 1 の接続端子は、相互間を所定距離離間するとともに、前記基本画素駆動チップの一方向に沿って 2 列に配列して形成される、請求項 5 又は 6 に記載の電気光学装置の製造方法。

#### 【請求項 8】

前記基本画素駆動チップ形成工程は、前記第 2 の基板と前記基本画素駆動チップの間に介在し、エネルギーの付与によって状態変化を生じて前記基本画素駆動チップとの固着度合いが弱まる性質を有する剥離層を形成する工程を含む、請求項 1 乃至 7 のいずれかに記載の電気光学装置の製造方法。

#### 【請求項 9】

配線基板上に基本画素回路を複数配列してなる電気光学装置を製造するために使用される転写チップであって、

前記基本画素回路を駆動するための駆動回路と、

前記配線基板と前記駆動回路とを接続するための複数の接続端子と、を含み、

前記複数の接続端子は、前記転写チップの転写面に当該転写面の全体に渡る 2 列配置のパターンとして形成される、転写チップ。

**【請求項 1 0】**

前記基本画素回路は、複数の色画素をそれぞれ形成する複数の電気光学素子を含み、

前記駆動回路は、前記複数の電気光学素子の各々を駆動制御する、請求項 9 に記載の転写チップ。

**【請求項 1 1】**

請求項 9 又は 1 0 に記載の転写チップを基板上に複数形成して構成される転写元基板。

**【請求項 1 2】**

前記転写元基板は、前記基板と前記転写チップの間に介在し、エネルギーの付与によって状態変化を生じて前記転写チップとの固着度合いが弱まる性質を有する剥離層をさらに含む、請求項 1 1 に記載の転写元基板。

**【請求項 1 3】**

請求項 1 乃至 8 のいずれかに記載の製造方法を用いて製造される電気光学装置。

**【請求項 1 4】**

請求項 1 3 に記載の電気光学装置を表示部として用いる電子機器。

**【発明の詳細な説明】**

**【0 0 0 1】**

**【産業上の利用分野】**

本発明は、薄膜トランジスタ等の素子を用いて画素駆動を行う表示装置（電気光学装置）及びその製造方法に関する。

**【0 0 0 2】**

**【従来の技術】**

薄膜トランジスタを画素駆動に用いる表示装置（電気光学装置）、例えば、薄膜トランジスタ駆動液晶表示装置、薄膜トランジスタ駆動有機エレクトロルミネッセンス表示装置、薄膜トランジスタ駆動発光ダイオード表示装置、薄膜ラン

ジスタ駆動電気泳動表示装置などでは、薄膜トランジスタは装置全体の一部分をなすものであり、それ以外の大部分は配線や支持基板などからなる場合が少なくない。このような表示装置（薄膜トランジスタ駆動表示装置）を、薄膜トランジスタと配線や支持基板を一体として同一の製造プロセスを経て製造する場合には、薄膜トランジスタを作成するための高度で複雑な製造プロセスが必要とされるため、一般的に、製造コストが高額になる。しかしながら、配線や支持基板だけのためには、高度で複雑な製造プロセスは必要とされず、製造コストは安価である。もし、薄膜トランジスタと配線や支持基板を別個に作成し、必要とされる部分にだけ薄膜トランジスタを配置することができれば、薄膜トランジスタ駆動表示装置の製造コストを低減することが可能である。

#### 【0003】

このような要望に対して、転写元基材上に剥離層を介して、薄膜トランジスタ等の素子からなる被転写層を形成し、これを総て転写先基材に接合してから剥離層に光を照射し剥離を生じさせ、転写元基材を剥離層から離脱させることにより、転写先基材上の所望の位置に素子を形成する転写方法が開発されている。このような転写方法は、例えば、特開平10-125931号公報に開示されている（特許文献1）。上述した転写方法を用いることにより、必要とされる部分にだけ薄膜トランジスタを配置することができるので、全体として平均すれば、この薄膜トランジスタ駆動表示装置の製造コストを低減することが可能となる。なお、このとき、剥離や転写のプロセスとしては、レーザーアビュレーションや接着剤が用いられる（T. Shimoda, et al, Techn. Dig. IEDM 1999, 289（非特許文献1）、S. Utsunomiya, et al, Dig. Tech. Pap. SID 2000, 916（非特許文献2）、T. Shimoda, Proc. Asia Display / IDW '01, 327（非特許文献3）、S. Utsunomiya, et al, Proc. Asia Display / IDW '01, 339（非特許文献4）、S. Utsunomiya, et al, AM-LCD '02, to be presented（非特許文献5））。

#### 【0004】

##### 【特許文献1】

特開平10-125931号公報

##### 【非特許文献1】

T. Shimoda, et al, Techn. Dig. IEDM 1999, 289

【非特許文献 2】

S. Utsunomiya, et al, Dig. Tech. Pap. SID 2000、916

【非特許文献 3】

T. Shimoda, Proc. Asia Display / IDW ' 01, 327

【非特許文献 4】

S. Utsunomiya, et al, Proc. Asia Display / IDW ' 01, 339

【非特許文献 5】

S. Utsunomiya, et al, AM-LCD '02, to be presented

【0 0 0 5】

【発明が解決しようとする課題】

上述した転写方法を用いて表示装置を製造する場合には、転写元基材から転写先基材に対して転写する対象となる被転写体の数が多くなるほど製造歩留まりが低下する傾向にある。

【0 0 0 6】

また、被転写体上と転写先基材上にパッド（電氣的接続を担う接続端子）を互いに対応させて形成しておくことにより、被転写体に含まれる素子と転写先基材に含まれる配線等との間の電氣的な接続を行うことが多いが、この場合には、パッドの数が多くなるほど、製造歩留まりが低下する傾向にある。

【0 0 0 7】

さらに、被転写体のそれぞれの面積についても、当該面積の大小により転写元基材上に形成可能な被転写体の数が増減するため、製造コストを左右する要因となる。

【0 0 0 8】

そこで、本発明は、表示装置の製造歩留まりを向上させることを目的とする。

また、本発明は、表示装置の製造コストを低減することを目的とする。

【0 0 0 9】

【課題を解決するための手段】

上記目的を達成するために、本発明は、複数の色画素を含む基本画素を複数配



列した表示領域を含む電気光学装置の製造方法であって、第1の基板に各色画素を構成する複数の電気光学素子を駆動するための配線を上記基本画素の配列に対応して形成する基板配線形成工程と、第2の基板に基本画素の複数の色画素となる複数の電気光学素子を駆動するための駆動回路を各基本画素毎に転写可能にチップ化して形成し、複数の基本画素駆動チップを得る基本画素駆動チップ形成工程と、各基本画素駆動チップを第2の基板から第1の基板に転写し、配線の基本画素に対応する各領域に駆動回路を接続する基本画素駆動チップ転写工程と、を含む。

#### 【0010】

ここで、本発明における「電気光学素子」には、エレクトロルミネッセンス（EL）素子、電気発光素子、プラズマ発光素子、電気泳動素子、液晶素子、LEDなどの素子が含まれる。また、本発明において、「転写可能にチップ化して」とは、第2の基板上において各基本画素駆動チップ（被転写体）を個別に転写対象とすることができるよう物理的に分離可能な状態に形成することを言い、必ずしも1個のチップに分離（あるいは分割）されていることに限定されるものではない。

#### 【0011】

例えば、一の基本画素に3つの色画素が含まれている場合には、それら3つの色画素の各々に対応して薄膜トランジスタ等の素子（被転写体）を転写することが考えられるが、その場合には、各基本画素についての転写回数は3回となる。これに対して、本発明では、一の基本画素に含まれる複数の色画素を駆動する機能が一のチップに集約された基本画素駆動チップを第2の基板上に形成した後に、剥離転写を行っているため、各基本画素についての転写回数は1回で済むことになる。すなわち、本発明では、被転写体の数を少なくし、転写回数を低減することができるので、それだけ転写ミス等の不具合を回避することが容易となり、製造歩留まりを向上させることが可能となる。

#### 【0012】

好ましくは、上記基本画素駆動チップは、複数の電気光学素子の各々の動作状態をそれぞれ制御する複数の制御手段を含んで構成される。

**【0013】**

各制御手段は、例えば、薄膜トランジスタなどの能動素子を単体で用いて構成したり、このような能動素子を複数組み合わせたり、あるいはこれらとキャパシタ等の受動素子を適宜組み合わせた回路を構成することによって実現することが可能である。各電気光学素子に対して一対一に対応付けて制御手段を設けることにより、基本画素駆動チップに含まれる駆動回路の構成が簡素化され、設計や製造が容易となる。

**【0014】**

好ましくは、上述した制御手段の各々は、電気光学素子に流れる電流を制御する第1のトランジスタと、当該第1のトランジスタを入力信号に応じて動作させる第2のトランジスタを含んで構成される。

**【0015】**

このように、電気光学素子に駆動電流を供給する役割と、電気光学素子の選択／非選択状態を制御する役割とを別々のトランジスタが担うように構成することで、特に、比較的に大きな駆動電流が必要な電気光学素子（例えば、EL素子等）を駆動する場合に好適な基本画素駆動チップを実現することが可能となる。

**【0016】**

好ましくは、制御手段の各々に含まれる第2のトランジスタのゲート電極の各々は、各制御手段を通る一の共通配線に接続されている。

**【0017】**

これにより、各第2のトランジスタのゲート電極にそれぞれ配線を設ける場合に比べて、配線の数削減することができるので、基本画素駆動チップのチップサイズを低減することが可能となる。これにより、転写元基板（第2の基板）に対して、被転写体である基本画素駆動チップをより多く形成することが可能となるので、製造コストを低減することが可能となる。また、配線の数削減により、チップ内の配線のレイアウトを設計する際の自由度も大きくなる利点もある。また、基本画素駆動チップに内蔵される駆動回路と外部との電氣的接続を図るための接続箇所が少なくなることからチップサイズの低減が可能となる。さらには、接続箇所の減少により、転写時に接続不良が発生する頻度も少なくなる。こ

れらのことから、製造歩留まりの向上や、製造コストの低減が可能となる。

#### 【0 0 1 8】

好ましくは、上記基本画素駆動チップには、当該基本画素駆動チップとの電氣的接続を担う複数の第 1 の接続端子が備わり、上記第 1 の基板には、基本画素駆動チップが転写されるべき領域に第 1 の接続端子と一対一に対応するように設けられて、配線と電氣的接続を担う複数の第 2 の接続端子が備わっており、上記基本画素駆動チップ転写工程においては、複数の第 1 及び第 2 の接続端子をそれぞれ当接させるように転写を行うことにより基本画素駆動チップと第 1 の基板との間の電氣的接続が図られており、基本画素駆動チップに含まれる共通配線と、当該共通配線と電氣的に接続されるべき第 1 の基板上の配線には、それぞれ一の第 1 及び第 2 の接続端子が割り当てられる。

#### 【0 0 1 9】

これにより、電氣的接続を担う接続端子（パッド）の数を少なくすることができるので、接続箇所の減少による製造歩留まりの向上を実現できる。また、基本画素駆動チップのチップサイズを低減して製造コストを低減することが可能となる。

#### 【0 0 2 0】

好ましくは、上記基本画素駆動チップ転写工程は、基本画素駆動チップに形成された第 1 の接続端子または第 1 の基板上に形成された第 2 の接続端子の少なくとも一方に接着層を形成する工程を含む。これにより、第 1 及び第 2 の接続端子間の接続をより強固なものとすることが可能となる。

#### 【0 0 2 1】

好ましくは、複数の第 1 の接続端子は、相互間を所定距離離間するとともに、基本画素駆動チップの一方向に沿って 2 列に配列して形成される。これにより、複数の第 1 の接続端子の配置に要する面積をより少なくすることができるので、基本画素駆動チップのチップサイズを低減することが可能となる。さらには、第 1 の接続端子を上述した配置にすることにより、これら第 1 の接続端子と一対一に対応付けて配置されるべき第 2 の接続端子についても、その配置に要する面積をより少なくすることが可能となる。

**【0022】**

好ましくは、上記基本画素駆動チップ形成工程は、第2の基板と基本画素駆動チップの間に介在し、エネルギーの付与によって状態変化を生じて基本画素駆動チップとの固着度合いが弱まる性質を有する剥離層を形成する工程を含む。これにより、転写時に基本画素駆動チップを第2の基板から剥離することが容易となる。なお、エネルギーの付与方法には、熱を与える方法や光照射を行う方法など種々の方法が考えられるが、特に、レーザー光等を用いた光照射による方法が好ましい。光照射による方法によれば、任意の領域へのエネルギー付与を行うことができ、併せて正確な位置合わせが可能となる。

**【0023】**

また、本発明は、配線基板上に基本画素回路を複数配列してなる電気光学装置を製造するために使用される転写チップであって、基本画素回路を駆動するための駆動回路と、配線基板と駆動回路とを接続するための複数の接続端子と、を含んでおり、当該複数の接続端子は、転写チップの転写面に当該転写面の全体に渡る2列配置のパターンとして形成される。

**【0024】**

ここで、本発明における「転写チップ」とは、上述したような転写技術、具体的には、始めに転写元となる基板上に被転写体を形成しておき、その後に被転写体を転写元基板とは別の転写先基板（例えば、最終製品を構成する基板）へ転写する剥離転写技術を使用する場合において、被転写体としての最小単位となる状態のものを言い、例えば、各種の素子やこれらの組み合わせからなる回路を含んで構成されて所定の機能を担うものである。

**【0025】**

上述した本発明に係る構成とすることにより、複数の接続端子の配置に要する面積をより少なくすることができるので、転写チップのチップサイズを低減することが可能となる。これにより、転写元基板（第2の基板）に対して、被転写体である基本画素駆動チップをより多く形成することが可能となるので、製造コストを低減することが可能となる。

**【0026】**

好ましくは、上記基本画素回路は、複数の色画素をそれぞれ形成する複数の電気光学素子を含み、上記駆動回路は、複数の電気光学素子の各々を駆動制御する機能を備える。これにより、駆動回路の構成が簡素化され、設計や製造が容易となり、製造コストの低減を図ることが可能となる。

#### 【0027】

また、本発明は、上述した本発明に係る転写チップを基板上に複数形成して構成される転写元基板でもある。また、好ましくは、当該転写元基板は、基板と転写チップの間に介在し、エネルギーの付与によって状態変化を生じて前記転写チップとの固着度合いが弱まる性質を有する剥離層をさらに含む。

#### 【0028】

また、本発明は、上述した製造方法を用いて製造される電気光学装置でもある。あるいは、本発明は、上述した転写チップ又は上述した転写元基板を用いて製造される電気光学装置でもある。これにより、電気光学装置の低コスト化及び製造歩留まりの低減が可能となる。なお、本発明における「電気光学装置」には、エレクトロルミネッセンス（EL）素子、電気発光素子、プラズマ発光素子、電気泳動素子、液晶素子などの各種の電気光学素子を含んで構成される表示装置が含まれる。

#### 【0029】

また、本発明は、上述した本発明に係る電気光学装置を表示部として用いる電子機器でもある。ここで、電子機器には、ビデオカメラ、携帯電話、パーソナルコンピュータ、携帯型情報端末装置（いわゆるPDA）や、その他各種のものが含まれる。本発明に係る電気光学装置を用いることにより、表示部を低コストに構成することができるので、電子機器の低コスト化を図ることが可能となる。

#### 【0030】

##### 【発明の実施の形態】

以下、本実施形態の薄膜トランジスタ駆動表示装置について、その構造及び製造方法を詳細に説明する。本実施形態では、薄膜トランジスタ駆動表示装置の一例として、有機EL表示装置について説明を行う。

図1は、本実施形態の有機EL表示装置の構成について概略的に示す図である。

。同図に示す有機EL表示装置100は、3つの色画素1、2、3を含んで構成される画素（基本画素）101をマトリクス状に多数配列して構成されている。各色画素は、例えば、色画素1が赤色、色画素2が緑色、色画素3が青色に対応している。各画素101は、複数の薄膜トランジスタ（TFT）を含んで構成される駆動回路を内蔵したチップを用いて駆動される。

#### 【0031】

図2は、画素101の構造について説明する図である。図2（a）は画素101の平面図を示し、図2（b）は図2（a）におけるA-A'断面図を示している。なお、図2（a）では説明の便宜上、構成要素の一部を省略して示している。

#### 【0032】

図2に示すように、画素101は、ガラス等の絶縁材料からなる基板10上に、下層側から順に、第1の配線層12、第2の配線層14、発光素子層16を積層して形成されている。なお、図2（a）では、第1及び第2の配線層の構造を説明するために、第2の配線層14の一部と発光素子層16が省略して示されている。

#### 【0033】

第1の配線層12は、基板10上に形成される信号線（配線）20と、当該信号線20と第2の配線層に含まれる信号線（後述する）との間を電氣的に接続するためのプラグ22を含んで構成されている。また、各信号線20や各プラグ22の間には、絶縁部材（例えば、酸化シリコン等）が形成されている。なお、図2（a）では当該絶縁部材については省略して示している。

#### 【0034】

第2の配線層14は、第1の配線層12上に形成される信号線（配線）30と、この信号線30と発光素子層16に含まれる電極（後述する）との間を電氣的に接続するためのプラグ32と、発光素子層16を駆動するためのチップ34と、このチップ34と信号線30との間を電氣的に接続するための複数のパッド36からなるパッド群38を含んで構成されている。また、図2（a）では図示を省略しているが、各信号線30や各プラグ32等の間には、絶縁部材（例えば、

酸化シリコン等）が形成されている。なお、図 2（a）では、チップ 34 についても省略して示しているが、当該チップ 34 は上述したパッド群 38 上に形成される。

#### 【0035】

本実施形態では、上述したチップ 34 は、複数の薄膜トランジスタを含んで構成されており、1つの画素 101 内に含まれる各色画素 1、2、3 をそれぞれ独立に制御する機能を備えている。このチップ 34 は、基板 10 とは別の基板（転写元基板）上に形成され、その後に転写元基板から剥離して基板 10 に転写することによって形成される。当該転写方法の詳細については後述する。

#### 【0036】

発光素子層 16 は、第 2 の配線層 14 上に形成される 3 つの画素電極 40 と、この画素電極 40 と対向して形成される共通電極 42 と、各画素電極 40 と共通電極 42 の間に形成される 3 つの発光層 44 と、共通電極 42 上に形成される保護層 46 を含んで構成されている。また、各画素電極 40 や各発光層 44 等の間には、絶縁部材（例えば、酸化シリコン等）が形成されている。各画素電極 40 とその上に積層される各発光層 44、及び共通電極 42 によって 3 つの色画素 1、2、3 がそれぞれ構成されている。上述したチップ 34 により、各画素電極 40 を介して各発光層 44 に対してそれぞれ独立に電流が供給されるようになっており、各色画素 1、2、3 がそれぞれ独立にスイッチングされる。

#### 【0037】

このように、3 つの色画素についての駆動回路を 1 つのチップ 34 に集約して形成することにより、各色画素 1、2、3 のそれぞれに対して個別的に薄膜トランジスタ等を転写する場合に比べて、転写対象となるチップの数が 1/3 に削減され、転写回数を 1/3 に削減することができるので、製造時の歩留まりを向上させることが可能となる。なお、このチップ 34 が「基本画素駆動チップ」および「転写チップ」に対応している。

#### 【0038】

次に、本実施形態のチップ 34 の内部構造について、具体例を示して詳細に説明する。

**【0039】**

図3は、チップ34の内部構造を示す平面図である。図3では、チップ34内に含まれる薄膜トランジスタ（TFT）や配線などの構造を分かりやすくするために、これらの薄膜トランジスタ等の上面に設けられる構成要素を省略して示している。図示を省略されている構成要素については、後ほど説明する。

**【0040】**

図3に示すように、チップ34は、右側の領域に上下方向に並べて形成されている3つのスイッチング薄膜トランジスタST1、ST2、ST3と、左側の領域に左右方向に並べて形成されている3つのドライビング薄膜トランジスタDT1、DT2、DT3を含んで構成されている。

**【0041】**

本実施形態では、一の色画素について、一のスイッチング薄膜トランジスタと一のドライビング薄膜トランジスタを組み合わせる構成される画素回路によって駆動している。具体的には、図3に示すスイッチング薄膜トランジスタST1は、入力信号（走査信号）に応じてドライビング薄膜トランジスタDT1を動作させる。ドライビング薄膜トランジスタDT1は、色画素1を構成する発光層44に流す電流を制御する。同様に、スイッチング薄膜トランジスタST2とドライビング薄膜トランジスタDT2を組み合わせた画素回路によって、色画素2を構成する発光層44に流す電流を制御する。スイッチング薄膜トランジスタST3とドライビング薄膜トランジスタDT3を組み合わせた画素回路によって、色画素3を構成する発光層44に流す電流を制御する。

**【0042】**

上述した各スイッチング薄膜トランジスタ及び各ドライビング薄膜トランジスタは、第1の配線層と、薄膜トランジスタの活性領域などを形成する半導体膜を含んでおり、第1の配線層上に形成される半導体層と、当該半導体層上に形成される第2の配線層を含んで構成されている。図3では、各層をわかりやすくするために、第1の配線層が白抜き、半導体層が右下がりの粗いハッチング、第2の配線層が右上がりの細かいハッチングによりそれぞれ示されている。また、各層の層間には、SiO<sub>2</sub>等からなる絶縁層が形成されている。



**【0043】**

図4は、チップ34の層構造を説明するための部分断面図である。同図では、一例として、スイッチング薄膜トランジスタST2の平面図を図4(a)に示すとともに、図4(a)のB-B'断面図を図4(b)に示している。

**【0044】**

図4(b)に示すように、チップ34は、基材56上に、第1の配線層50、半導体層52、第2の配線層54を順に積層して構成されている。第1の配線層50は、スイッチング薄膜トランジスタST2のゲート電極を兼ねる配線50aを含んで構成されている。半導体層52は、スイッチング薄膜トランジスタST2の活性領域を担う半導体膜52bと、この半導体膜52bと第2の配線層54とを電氣的に接続するためのプラグ53a、53bを含んで構成されている。第2の配線層54は、スイッチング薄膜トランジスタST2のソース／ドレイン領域に電流を供給する機能を担う配線54c、54dを含んで構成されている。なお、図示を省略する他の薄膜トランジスタについても、図4に示すスイッチング薄膜トランジスタST2と同様の層構造を有している。

**【0045】**

次に、図3を参照しながら、第1の配線層、半導体層、第2の配線層のそれぞれについて、その構造をさらに詳細に説明する。

**【0046】**

第1の配線層50は、配線50a～50dを含んで構成されている。配線50aは、各スイッチング薄膜トランジスタST1、ST2、ST3のゲート電極を兼ねているとともに、第2の配線層に含まれる配線54aと電氣的に接続されている。この配線50aに対して、配線54aを介して走査信号を供給することにより、各スイッチング薄膜トランジスタST1、ST2、ST3の動作を制御することができる。

**【0047】**

また、配線54aは、図3においては図示を省略しているが、実際には第2の配線層の上側に設けられるパッド（電氣的接続を担う接続端子）と電氣的に接続されており、このパッドを介してチップ34の外部から配線54aに走査信号が

伝達される。パッドの詳細については後ほど説明する。このように本実施形態では、各スイッチング薄膜トランジスタ ST1、ST2、ST3 に走査信号を供給する配線を共通化して 1 つの共通配線とすることにより、第 1 の配線層の形成に要する面積を削減するとともにパッドの数を削減し、チップ 34 のサイズの縮小を達成している。さらには、パッド数（換言すれば接続箇所）が少なくなることにより、転写時に接続不良が発生する頻度も少なくなる。これらのことから、製造歩留まりの向上や、製造コストの低減が可能となる。

#### 【0048】

配線 50b は、半導体膜 52a と電氣的に接続されており、スイッチング薄膜トランジスタ ST1 から供給される電流をドライビング薄膜トランジスタ DT1 に伝達する機能を担うとともに、ドライビング薄膜トランジスタ DT1 のゲート電極を兼ねる。

#### 【0049】

配線 50c は、第 2 の配線層に含まれる配線 54d を介して半導体膜 52b と電氣的に接続されており、スイッチング薄膜トランジスタ ST2 から供給される電流をドライビング薄膜トランジスタ DT2 に伝達する機能を担うとともに、ドライビング薄膜トランジスタ DT2 のゲート電極を兼ねる。

#### 【0050】

配線 50d は、半導体膜 52c と電氣的に接続されており、スイッチング薄膜トランジスタ ST3 から供給される電流をドライビング薄膜トランジスタ DT3 に伝達する機能を担うとともに、ドライビング薄膜トランジスタ DT3 のゲート電極を兼ねる。

#### 【0051】

半導体層 52 は、半導体膜 52a ～ 52f を含んで構成されている。半導体膜 52a は、一端側が配線 54b と接続され、他端側が配線 50b と接続されており、スイッチング薄膜トランジスタ ST1 の活性領域を担う。半導体膜 52b は、一端側が配線 54c と接続され、他端側が配線 54d と接続されており、スイッチング薄膜トランジスタ ST2 の活性領域を担う。半導体膜 52c は、一端側が配線 54e と接続され、他端側が配線 50d と接続されており、スイッチング

薄膜トランジスタ S T 3 の活性領域を担う。

【 0 0 5 2 】

半導体膜 5 2 d は、配線 5 4 g、5 4 f のそれぞれと接続されるとともに、後述するパッド（ここでは図示せず）と接続されており、ドライビング薄膜トランジスタ D T 1 の活性領域を担う。半導体膜 5 2 e は、配線 5 4 h、5 4 i のそれぞれと接続されるとともに、後述するパッド（ここでは図示せず）と接続されており、ドライビング薄膜トランジスタ D T 2 の活性領域を担う。半導体膜 5 2 f は、配線 5 4 j、5 4 k のそれぞれと接続されるとともに、後述するパッド（ここでは図示せず）と接続されており、ドライビング薄膜トランジスタ D T 3 の活性領域を担う。

【 0 0 5 3 】

第 2 の配線層 5 4 は、配線 5 4 a ～ 5 4 k を含んで構成されている。ここで、第 2 の配線層 5 4 の上側に形成され、チップ 3 4 の内部回路と外部との電氣的接続を担うパッドについて、配線 5 4 a ～ 5 4 k との接続関係を含めて説明する。

【 0 0 5 4 】

図 5 は、パッドについて説明する図である。同図に示すように、チップ 3 4 の第 2 の配線層 5 4 の上側には、10 個のパッド 5 6 a ～ 5 6 j が設けられる。本実施形態では、各パッド 5 6 a 等は、直方体状の突起部として形成される。これらのパッド 5 6 a ～ 5 6 j は、上述した画素 1 0 1 に含まれる各パッド 3 6（図 2 参照）と一対一に対応するように構成されている。図 5 に示すチップ 3 4 を反転し、各パッド 5 6 a 等を上述した図 2 に示す画素 1 0 1 に含まれるパッド群 3 8 の各パッド 3 6 に対して向かい合わせるようにして、チップ 3 4 が貼り合わされる。チップ 3 4 の貼り合わせの方法については後述する。

【 0 0 5 5 】

パッド 5 6 a は、プラグ 5 5 a を介して配線 5 4 a と電氣的に接続されている。このパッド 5 6 a を介して外部から配線 5 4 a に走査信号が供給されて、スイッチングトランジスタ S T 1 ～ S T 3 が駆動される。

【 0 0 5 6 】

パッド 5 6 b は、プラグ 5 5 b を介して配線 5 4 b と電氣的に接続されている

。このパッド 5 6 b を介して外部から配線 5 4 b に電流が供給され、スイッチング薄膜トランジスタ S T 1 の活性領域に電流が供給される。

【 0 0 5 7 】

パッド 5 6 c は、プラグ 5 5 c を介して配線 5 4 c と電氣的に接続されている。このパッド 5 6 c を介して外部から配線 5 4 c に電流が供給され、スイッチング薄膜トランジスタ S T 2 の活性領域に電流が供給される。

【 0 0 5 8 】

パッド 5 6 d は、プラグ 5 5 d を介して配線 5 4 e と電氣的に接続されている。このパッド 5 6 d を介して外部から配線 5 4 e に電流が供給され、スイッチング薄膜トランジスタ S T 3 の活性領域に電流が供給される。

【 0 0 5 9 】

パッド 5 6 e は、プラグ 5 5 e を介して配線 5 4 f と電氣的に接続されている。このパッド 5 6 e を介して外部から配線 5 4 f に電流が供給され、ドライビング薄膜トランジスタ D T 1 の活性領域に電流が供給される。

【 0 0 6 0 】

パッド 5 6 f は、プラグ 5 5 f を介して配線 5 4 g と電氣的に接続されている。このパッド 5 6 f は、上述したパッド 3 6 の 1 つと電氣的に接続される。そして、ドライビング薄膜トランジスタ D T 1 から出力される電流が配線 5 4 g、プラグ 5 5 f、パッド 5 6 f 及び当該パッド 5 6 f と電氣的に接続されたパッド 3 6 を介して、色画素 1 に供給される。

【 0 0 6 1 】

パッド 5 6 g は、プラグ 5 5 g を介して配線 5 4 h と電氣的に接続されている。このパッド 5 6 g を介して外部から配線 5 4 h に電流が供給され、ドライビング薄膜トランジスタ D T 2 の活性領域に電流が供給される。

【 0 0 6 2 】

パッド 5 6 h は、プラグ 5 5 h を介して配線 5 4 i と電氣的に接続されている。このパッド 5 6 h は、上述したパッド 3 6 の 1 つと電氣的に接続される。そして、ドライビング薄膜トランジスタ D T 2 から出力される電流が配線 5 4 i、プラグ 5 5 h、パッド 5 6 h 及び当該パッド 5 6 h と電氣的に接続されたパッド 3

6を介して、色画素2に供給される。

【0063】

パッド56iは、プラグ55iを介して配線54jと電氣的に接続されている。このパッド56iを介して外部から配線54jに電流が供給され、ドライビング薄膜トランジスタDT3の活性領域に電流が供給される。

【0064】

パッド56jは、プラグ55jを介して配線54kと電氣的に接続されている。このパッド56jは、上述したパッド36の1つと電氣的に接続される。そして、ドライビング薄膜トランジスタDT3から出力される電流が配線54k、プラグ55i、パッド56i及び当該パッド56iと電氣的に接続されたパッド36を介して、色画素3に供給される。

【0065】

次に、チップ34上に設けられる10個のパッド56a～56jと、これらのパッド56a等と一対一に対応して設けられる10個のパッド36の配置について説明する。なお、各パッド56a等と、各パッド36の配置は同じとなるので、ここではチップ34に設けられるパッド56a等の配置についてのみ説明し、パッド36に関する説明は省略する。

【0066】

図6は、チップ34上に設けられる各パッドの配置について説明する図である。図6(a)は、本実施形態におけるパッドの配置について説明する図である。また図6(b)は、パッド配置の比較例について説明する図である。

【0067】

図6(a)に示すように、各パッド56a等は、チップ34の長手方向(図示のX方向)に5つ並べて、長手方向と直交するY方向に2つ並べた配置(5×2個の配置)となっている。各パッドの間は、設計上や製造上の諸事情を考慮して適宜設定される所定距離(図示の例では10μm)を離間して配置されている。

【0068】

このように、各パッドをチップ34の一方向に沿って2列に配置することにより、図6(b)に示すように各パッドを3列に配置した場合、あるいは3列以上

に配置した場合に比べて、チップ 34 の面積を削減することが可能となり、製造コストを低減することが可能となる。この点について、図 6 に例示した数値を用いてさらに具体例に説明する。

#### 【0069】

図 6 に示す具体例では、パッド 56 a～56 j の個数を 10 個、各パッドのサイズを  $24\mu\text{m} \times 15\mu\text{m}$ 、各パッドの間隔を  $10\mu\text{m}$  としている。なお、これらの数値は、製造プロセスの性能、設計などの都合により決まるものであるが、例示の数値に限定されるものではない。

#### 【0070】

図 6 (a) に示すように、各パッドを 2 列に配置する場合のチップ 34 の面積は  $6400\mu\text{m}^2$  ( $=160\mu\text{m} \times 40\mu\text{m}$ ) となり、各パッドを 3 列に配置する場合のチップ 34 の面積は  $8190\mu\text{m}^2$  ( $=126\mu\text{m} \times 65\mu\text{m}$ ) となる。この結果から、各パッドを 2 列に配置することによってチップ 34 のチップ面積が削減されることがわかる。

#### 【0071】

本実施形態のチップ 34 は上述したような構成を有しており、次に、本実施形態の有機 EL 表示装置の製造方法について説明を行う。本実施形態では、上述したチップ 34 を転写元基板上に複数形成しておき、その後当該チップ 34 を第 1 の基板から剥離して、有機 EL 表示装置を構成する基板上に転写する転写技術を用いている。以下の説明では、チップ 34 の転写方法について着目して詳細に説明する。

#### 【0072】

図 7 及び図 8 は、本実施形態に係る製造方法を説明する図である。当該転写方法は、以下に説明する第 1 工程～第 5 工程を含んでいる。

#### 【0073】

##### <第 1 工程>

第 1 工程は、図 7 (a) に示すように、転写元基板 60 上に剥離層（光吸収層）62 を形成する。

#### 【0074】

転写元基板 60 は、光が透過し得る透光性を有するものであることが好ましい。これにより、転写元基板を介して剥離層に光を照射することができ、剥離層を光照射によって迅速かつ正確に剥離させることができる。この場合、光の透過率は 10% 以上であるのが好ましく、50% 以上であるのがより好ましい。この透過率が高い程光の減衰（ロス）がより少なくなり、剥離層 62 を剥離するのにより小さな光量で済むからである。

#### 【0075】

また、転写元基板 60 は、信頼性の高い材料で構成されていることが好ましく、特に、耐熱性に優れた材料で構成されていることが好ましい。その理由は、例えば、被転写体としてのチップ 34 を形成する際に、その種類や形成方法によってはプロセス温度が高くなる（例えば 350～1000℃程度）ことがあるが、その場合でも、転写元基板 60 が耐熱性に優れていれば、転写元基板 60 上へのチップ 34 の形成に際し、その温度条件等の成膜条件の設定の幅が広がるからである。これにより、転写元基板上に多数のチップを製造する際に、所望の高温処理が可能となり、信頼性が高く高性能の素子や回路を製造することができる。

#### 【0076】

従って、転写元基板 60 は、チップ 34 の形成の際の最高温度を  $T_{max}$  としたとき、歪点が  $T_{max}$  以上の材料で構成されているものが好ましい。具体的には、転写元基板 60 の構成材料は、歪点が 350℃ 以上のものが好ましく、500℃ 以上のものがより好ましい。このようなものとしては、例えば、石英ガラス、コーニング 7059、日本電気ガラス OA-2 等の耐熱性ガラスが挙げられる。

#### 【0077】

また、転写元基板 60 の厚さは、特に限定されないが、通常は、0.1～5.0 mm 程度であるのが好ましく、0.5～1.5 mm 程度であるのがより好ましい。転写元基板 60 の厚さがより厚ければより強度が上昇し、より薄ければ転写元基板 60 の透過率が低い場合に、光の減衰をより生じにくくなるからである。なお、転写元基板 60 の光の透過率が高い場合には、その厚さは、前記上限値を超えるものであってもよい。なお、光を均一に照射できるように、転写元基板 60 の厚さは、均一であるのが好ましい。

## 【0078】

このように転写元基板には数々の条件があるが、転写元基板は最終製品となる転写先基板とは異なり、繰り返し利用することが可能であるため、比較的高価な材料を用いても繰り返し使用によって製造コストの上昇を少なくすることが可能である。

## 【0079】

剥離層 62 は、照射される光を吸収し、その層内および／または界面において剥離（以下、「層内剥離」、「界面剥離」と言う）を生じるような性質を有するものであり、好ましくは、光の照射により、剥離層 11 を構成する物質の原子間または分子間の結合力が消失または減少すること、すなわち、アブレーションが生じて層内剥離および／または界面剥離に至るものがよい。

## 【0080】

さらに、光の照射により、剥離層 62 から気体が放出され、分離効果が発現される場合もある。すなわち、剥離層 62 に含有されていた成分が気体となって放出される場合と、剥離層 62 が光を吸収して一瞬気体になり、その蒸気が放出され、分離に寄与する場合とがある。このような剥離層 62 の組成としては、例えば、次の A～F に記載されるものが挙げられる。

## 【0081】

(A) アモルファスシリコン (a-Si)

このアモルファスシリコン中には、水素 (H) が含有されていてもよい。この場合、H の含有量は、2 原子% 以上程度であるのが好ましく、2～20 原子% 程度であるのがより好ましい。

## 【0082】

(B) 酸化ケイ素又はケイ酸化合物、酸化チタンまたはチタン酸化合物、酸化ジルコニウムまたはジルコン酸化合物、酸化ランタンまたはランタン酸化合物等の各種酸化物セラミックス、透電体（強誘電体）あるいは半導体

(C) PZT、PLZT、PLLZT、PBZT 等のセラミックスあるいは誘電体（強誘電体）

(D) 窒化珪素、窒化アルミ、窒化チタン等の窒化物セラミックス



### (E) 有機高分子材料

有機高分子材料としては、 $-CH-$ 、 $-CO-$  (ケトン)、 $-CONH-$  (アミド)、 $-NH-$  (イミド)、 $-COO-$  (エステル)、 $-N=N-$  (アゾ)、 $-CH=N-$  (シッフ) 等の結合 (光の照射によりこれらの結合が切断される) を有するもの、特に、これらの結合を多く有するものであればいかなるものでもよい。また、有機高分子材料は、構成式中に芳香族炭化水素 (1 または 2 以上のベンゼン環またはその縮合環) を有するものであってもよい。

#### 【0083】

このような有機高分子材料の具体例としては、ポリエチレン、ポリプロピレンのようなポリオレフィン、ポリイミド、ポリアミド、ポリエステル、ポリメチルメタクリレート (PMMA)、ポリフェニレンサルファイド (PPS)、ポリエーテルスルホン (PES)、エポキシ樹脂等が挙げられる。

#### 【0084】

### (F) 金属

金属としては、例えば、Al, Li, Ti, Mn, In, Sn, Y, La, Ce, Nd, Pr, Gd, Sm またはこれらのうちの少なくとも 1 種を含む合金が挙げられる。その他、剥離層を水素含有合金で構成することもできる。剥離層に水素含有合金を用いた場合、光の照射に伴い水素が放出され、これによって剥離層における剥離が促進されるからである。

#### 【0085】

また、剥離層を窒素含有合金で構成することもできる。剥離層に窒素含有合金を用いた場合、光の照射に伴い窒素が放出され、これによって剥離層における剥離が促進されるからである。さらに、剥離層を多層膜からなるものとすることもできる。多層膜は、例えばアモルファスシリコン膜とその上に形成された金属膜とからなるものとすることができる。多層膜の材料として、上記したセラミックス、金属、有機高分子材料の少なくとも一種から構成することもできる。

#### 【0086】

剥離層 62 の形成方法は、特に限定されず、膜組成や膜厚等の諸条件に応じて適宜選択される。たとえば、CVD、スパッタリング、等の各種気相成膜法、各

種メッキ法、スピコート等の塗布法、各種印刷法、転写法、インクジェットコーティング法、粉末ジェット法等が挙げられ、これらのうちの2以上を組み合わせ形成することもできる。

#### 【0087】

なお、図7（a）は示されないが、転写元基板60と剥離層62の性状に応じて、両者の密着性の向上等を目的とした中間層を転写元基板60と剥離層62の間に設けても良い。この中間層は、例えば製造時または使用時において被転写層を物理的または化学的に保護する保護層、絶縁層、被転写層へのまたは被転写層からの成分の移行（マイグレーション）を阻止するバリア層、反射層としての機能のうち少なくとも一つを発揮するものである。

#### 【0088】

##### <第2工程>

次に、第2工程について説明する。第2工程は、図7（b）に示すように、剥離層62上に複数のチップ34を形成する。複数のチップ34から構成される層を被転写層64と称する。各チップ34は、上述したように6つの薄膜トランジスタを含んで構成される。

#### 【0089】

薄膜トランジスタの製造には、ある程度の高温プロセスが要求され、薄膜トランジスタを形成する基材は転写元基板のように種々の条件を満たす必要がある。本実施形態の製造方法では、種々の製造条件を満たす転写元基板で薄膜トランジスタを製造してから、この製造条件を満たさない最終基板に薄膜トランジスタを転写することが可能となる。すなわち、本実施形態の製造方法では、最終基板として、より安価な材料からなる基板を用いることができるようになり製造コストを削減することが可能となる利点や、可撓性を有するフレキシブル基板などを用いることができるようになり最終基板の選択の幅が広がるなどの利点がある。

#### 【0090】

ここで、被転写層64における各チップ34の分離について説明する。各チップ34の分離方法としては、各々をエッチング等により分離する方法、特に分離させるための構造を設けない方法、剥離層のみを分離する方法及び所定の構造を

転写元基板に形成することにより個々の被転写体に分離し易くする方法が考えられる。ここでは個々のチップ34を完全に分離する方法を説明する。

#### 【0091】

図7(c)に示すように、各チップ34を個々に分離するために、チップ34に相当する領域の外周にウェットエッチングまたはドライエッチング等によって凹部構造となる溝62cを形成して各々のチップ34を島状に残す。この溝62cは、基板の厚さ方向において、被転写層64の全部及び剥離層62の全部(図7(c)参照)又は一部(図7(d)参照)をカットしている。このカットは、被転写層64のみを対象とするより浅いものであっても良い。この溝62cは、図7(d)に示すように剥離層62の一部までエッチングして形成しておくほか、図7(c)に示すように、剥離層62も完全にエッチングして、各々のチップ34とその直下の剥離層62とを同じ形状で島状に残すようにしてもよい。同一のチップ34を形成し、等しいピッチでエッチングして各被転写体を転写元基板60上に並べた配置にすることによって、剥離工程(後述する第4及び第5工程)で所望のチップ34のみを転写することが容易となる。

#### 【0092】

予め被転写層62をカットしておくことによって、剥離体の一部をその領域の形に沿ってきれいに剥離することが可能となり、当該領域が剥離の際に破壊されることを防止することが可能となる。また剥離に伴う被転写層62の破断が隣接領域に及ばないようにすることが可能となる。また、膜厚方向にカットを入れておくことによって、特定のチップ34を転写先基材に接合するための接着層の接合力が弱い場合であってもチップ34を剥がすことを可能とする。また、転写対象となる領域の外観が明確であるので基板間の転写の際の位置合わせが容易となる。

#### 【0093】

なお、図7(e)に示すように、剥離層62のチップ34への接着面積が被転写体の剥離層接合面の全面積よりも小さくなるようにオーバーエッチングしてもよい。このように剥離層62をオーバーエッチングすることによって、剥離層の面積が少なくなるため剥離層62に光を照射して剥離する際に少ない力で確実に

剥離できるとともに、剥離層 62 を縮小することによって剥離の際に必要な光エネルギー量を減らすことができるからである。

#### 【0094】

さらに、図 7 (d) に示すように、被転写層 64 のみにエッチングして溝 62c を形成しておき剥離層 62 は連続させたまま残しておいてもよい。チップ 34 が形成された領域に満遍なくエネルギーを付与できるのならこの領域の剥離層 62 に確実に剥離を生じさせることができるため、剥離層 62 自体に亀裂を設けていなくても所望の被転写体のみを剥離させることが可能である。

#### 【0095】

##### <第 3 工程>

次に、図 8 (a) に示すように、転写元基板 60 のチップ 34 の形成側の面と、転写先基板 66 のチップ 34 を転写する側の面とを、アライメントしながら重ね合わせ、必要に応じて押圧力を付加することによって、転写すべきチップ 34 のみを選択的に、導電性を有する接着層 68 を介して転写先基板 66 側に接合させる。

#### 【0096】

ここで、本実施形態においては、上述した基板 10 上に第 1 の配線層 12 を形成し、当該第 1 の配線層 12 上に信号線 30 及びパッド 36 を形成した状態のもの（図 2 参照）が図 8 (a) に示す転写先基板 66 に対応する。そして、この転写先基板 66 に含まれる各パッド 36 と、転写対象となるチップ 34 に設けられている各パッド 56a 等と当接させてチップ 34 の貼り合わせが行われる。

#### 【0097】

上述した接着層 68 を構成する接着剤の好適な例としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気硬化型接着剤等の各種硬化型接着剤が挙げられる。接着剤の組成としては、例えば、エポキシ系、アクリレート系、シリコン系等、いかなるものでもよい。また市販の接着剤を用いる場合、使用する接着剤は適当な溶剤を添加することによって、塗布するために好適な粘度に調節してもよい。

#### 【0098】

本実施形態において、接着層 68 は、転写すべきチップ 34 上にのみ、あるいは転写すべきチップ 34 に対応する転写先基板 66 上にのみ形成される。このような接着層 68 の局部形成は、種々の印刷法や液体吐出法を適用して実施できる。液体吐出法には、圧電体の変形を利用して液体を吐出するピエゾジェット法や熱により気泡を発生させて液体を吐出する方法等がある。本実施の形態にあつては、インクジェットコーティング（液体吐出）法を用いた接着層 68 の形成を例示する。

#### 【0099】

##### <第4工程>

次に、図 8（b）に示すように、転写元基板 60 と転写先基板 66 との接合体の転写元基板 60 側から、転写すべきチップ 34 の剥離層 62 のみに選択的に光 L を照射することによって、転写すべきチップ 34 を支持している剥離層 62 のみに剥離（層内剥離および／または界面剥離）を生じさせる。

#### 【0100】

剥離層 62 の層内剥離および／または界面剥離が生じる原理は、剥離層 62 の構成材料にアブレーションが生じること、また、剥離層 62 に含まれているガスの放出、さらには照射直後に生じる溶融、蒸散等の相変化によるものである。

#### 【0101】

ここで、アブレーションとは、照射光を吸収した固定材料（剥離層 62 の構成材料）が光化学的または熱的に励起され、その表面や内部の原子または分子の結合が切断されて放出することをいい、主に、剥離層 62 の構成材料の全部または一部が溶融、蒸散（気化）等の相変化を生じる現象として現れる。また、前記相変化によって微小な発泡状態となり、結合力が低下することもある。

#### 【0102】

剥離層 62 が層内剥離を生じるか、界面剥離を生じるか、またはその両方であるかは、剥離層 62 の組成や、その他種々の要因に左右され、その要因の 1 つとして、照射される光の種類、波長、強度、到達深さ等の条件が挙げられる。

#### 【0103】

照射する光 L としては、剥離層 62 に層内剥離および／または界面剥離を起こ

させるものであればいかなるものでもよく、例えば、X線、紫外線、可視光、赤外線、レーザー光等が挙げられる。

#### 【0104】

そのなかでも、剥離層 62 の剥離（アブレーション）を生じさせ易く、かつ高精度の局部照射が可能である点で、レーザー光が好ましい。このレーザー光としては、波長 100 nm～350 nm を有するレーザー光が好ましい。このように短波長レーザー光を用いることにより、光照射精度が高められるとともに、剥離層 62 における剥離を効果的に行うことができる。

#### 【0105】

このようなレーザー光を発生させるレーザー装置としては、エキシマレーザーが好適に用いられる。エキシマレーザーは、短波長域で高エネルギーを出力するため、極めて短時間で剥離層 62 にアブレーションを生じさせることができ、よって隣接する転写先基板 66 や第 1 基板 60 等に温度上昇をほとんど生じさせることなく、チップ 34 等に劣化、損傷を生じさせることなく、剥離層 62 を剥離することができる。

#### 【0106】

あるいは、剥離層 62 に、例えばガス放出、気化、昇華等の相変化を起こさせて分離特性を与える場合、照射されるレーザー光の波長は、350 nm～1200 nm 程度が好ましい。このような波長のレーザー光は、YAG、ガスレーザーなどの一般加工分野で広く使用されるレーザー光源や照射装置を用いることができ、光照射を安価にかつ簡単に行うことができる。また、このような可視光領域の波長のレーザー光を用いることによって、転写元基板 60 が可視光透光性であればよく、転写元基板 60 の選択の自由度を広げることができる。

#### 【0107】

また、照射されるレーザー光のエネルギー密度、特に、エキシマレーザーの場合のエネルギー密度は、10～5000 mJ/cm<sup>2</sup> 程度とするのが好ましく、100～500 mJ/cm<sup>2</sup> 程度とするのがより好ましい。また、照射時間は、1～1000 nsec 程度とするのが好ましく、10～100 nsec 程度とするのがより好ましい。エネルギー密度がより高くまたは照射時間がより長い程ア

ブレーション等が生じ易く、一方で、エネルギー密度がより低くまたは照射時間がより短い程剥離層 6 2 を透過した照射光によりチップ 3 4 等に悪影響を及ぼすおそれを低減できるからである。

#### 【0 1 0 8】

##### <第 5 工程>

次に、図 8 (c) に示すように、転写元基板 6 0 と転写先基板 6 6 に、双方を離間させる方向に力を加えることによって、転写先基板 6 6 から転写元基板 6 0 を取り外す。前記第 4 工程によって、転写先基板 6 6 に転写させるべきチップ 3 4 の剥離層 6 2 がチップ 3 4 から剥離していることから、これらの転写するべきチップ 3 4 は転写元基板 6 0 側と切断されている。また転写するべきチップ 3 4 は、接着層 6 8 によって転写先基板 6 6 に接合されている。

#### 【0 1 0 9】

なお、前記第 4 工程において、剥離層 6 2 は完全に剥離を生じさせることが望ましいが、転写するべきチップ 3 4 の接着層 6 8 の接着強度の方が、残存する剥離層 6 2 による接合力よりも勝っており、結果として転写元基板 6 0 と転写先基板 6 6 を引き離す際に、転写するべきチップ 3 4 が確実に転写先基板 6 6 側に転写されるならば、剥離層 6 2 の一部のみに剥離を生じさせてもよい。

#### 【0 1 1 0】

このように被転写体の転写は、剥離層の剥離によって弱まった剥離層の結合力と、被転写体に適用された接着層の結合力との相対的な力関係で定まる。剥離層による剥離が充分ならば接着層の結合力が弱くても被転写体の転写が可能であり、逆に剥離層による剥離が不十分でも接着層の結合力が高ければ被転写体を転写することが可能である。

#### 【0 1 1 1】

図 8 (c) に示すように、転写先基板 6 6 から転写元基板 6 0 を引き離すことにより、転写先基板 6 6 上の所望の位置にチップ 3 4 が転写される。その後、チップ 3 4 等を覆う絶縁部材を形成することによって図 2 に示した第 2 の配線層 1 4 が形成され、さらにこの第 2 の配線層 1 4 上に発光素子層 1 6 を形成することにより、有機 EL 表示装置 1 0 0 が形成される。

**【0112】**

なお、転写先基板 66 に転写されたチップ 34 には、剥離層 62 の剥離残分が付着している場合があり、これを完全に取り除くことが望ましい。残存している剥離層 62 を除去するための方法は、例えば洗浄、エッチング、アッシング、研磨等の方法、またはこれらを組み合わせた方法の中から適宜選択して採用することができる。

**【0113】**

同様に、チップ 34 の転写を終えた転写元基板 60 の表面に剥離層 62 の剥離残分が付着している場合には、前記の転写先基板 66 と同様に除去することができる。これによって転写元基板 60 を再利用（リサイクル）に供することができる。このように転写元基板 60 を再利用することにより、製造コストの無駄を省くことができる。これは石英ガラスのような高価な材料、希少な材料からなる転写元基板 60 を用いる場合に特に有効となる。

**【0114】**

このように、本実施形態では、一の画素 101 に含まれる 3 つの色画素 1、2、3 の各々を駆動する機能が集約されたチップ 34 を転写元基板 60 上に形成した後、転写を行っているため、各画素 101 についての転写回数は 1 回で済むことになる。これにより、被転写体の数を少なくし、転写回数を低減することができるので、それだけ転写ミス等の不具合を生じる回数も少なくなり、製造歩留まりを向上させることが可能となる。

**【0115】**

次に、本実施形態の有機 EL 表示装置 100 を含んで構成される各種の電子機器について説明する。図 9 は、本実施形態に係る有機 EL 表示装置 100 を適用可能な電子機器の具体例を示す図である。

**【0116】**

図 9（a）は携帯電話への適用例であり、当該携帯電話 230 は、アンテナ部 231、音声出力部 232、音声入力部 233、操作部 234、および本実施形態の有機 EL 表示装置 100 を備えている。このように本発明に係る表示装置は表示部として利用可能である。



**【0 1 1 7】**

図 9 (b) はビデオカメラへの適用例であり、当該ビデオカメラ 2 4 0 は、受像部 2 4 1、操作部 2 4 2、音声入力部 2 4 3、および本実施形態の有機 E L 表示装置 1 0 0 を備えている。このように本発明に係る表示装置は、ファインダや表示部として利用可能である。

**【0 1 1 8】**

図 9 (c) は携帯型パーソナルコンピュータへの適用例であり、当該コンピュータ 2 5 0 は、カメラ部 2 5 1、操作部 2 5 2、および本実施形態の有機 E L 表示装置 1 0 0 を備えている。このように本発明に係る表示装置は、表示部として利用可能である。

**【0 1 1 9】**

図 9 (d) はヘッドマウントディスプレイへの適用例であり、当該ヘッドマウントディスプレイ 2 6 0 は、バンド 2 6 1、光学系収納部 2 6 2 および本実施形態の有機 E L 表示装置 1 0 0 を備えている。このように本発明に係る表示装置は画像表示源として利用可能である。

**【0 1 2 0】**

また、本発明に係る表示装置 1 0 0 は、上述した例に限らず、例えば、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型 T V、電子手帳など各種の電子機器に適用可能である。

**【0 1 2 1】**

なお、本発明は、上述した実施形態の内容に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した実施形態では、本発明に係る電気光学装置の一例として有機 E L 表示装置について説明を行っていたが、本発明の適用範囲はこれに限定されるものではなく、他の種々の電気光学素子（例えば、プラズマ発光素子、電気泳動素子、液晶素子など）を用いて構成される電気光学装置に対して適用することが可能である。

**【図面の簡単な説明】**

【図 1】 有機 E L 表示装置の構成について概略的に示す図である。

【図 2】 画素の構造について説明する図である。

【図 3】 チップの内部構造を示す平面図である。

【図 4】 チップの層構造を説明するための部分断面図である。

【図 5】 パッドについて説明する図である。

【図 6】 チップ上に設けられる各パッドの配置について説明する図である

。

【図 7】 本実施形態に係る製造方法を説明する図である。

【図 8】 本実施形態に係る製造方法を説明する図である。

【図 9】 有機 E L 表示装置を適用可能な電子機器の具体例を示す図である

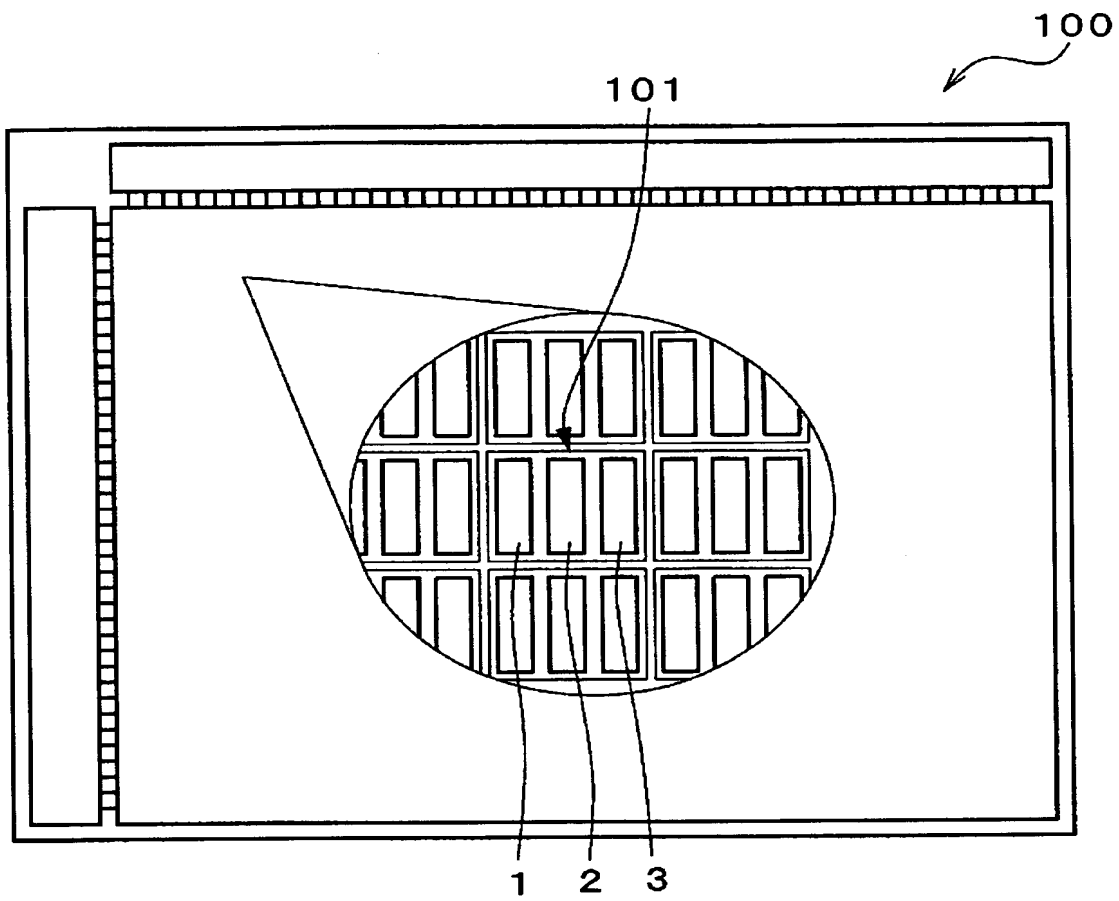
。

【符号の説明】

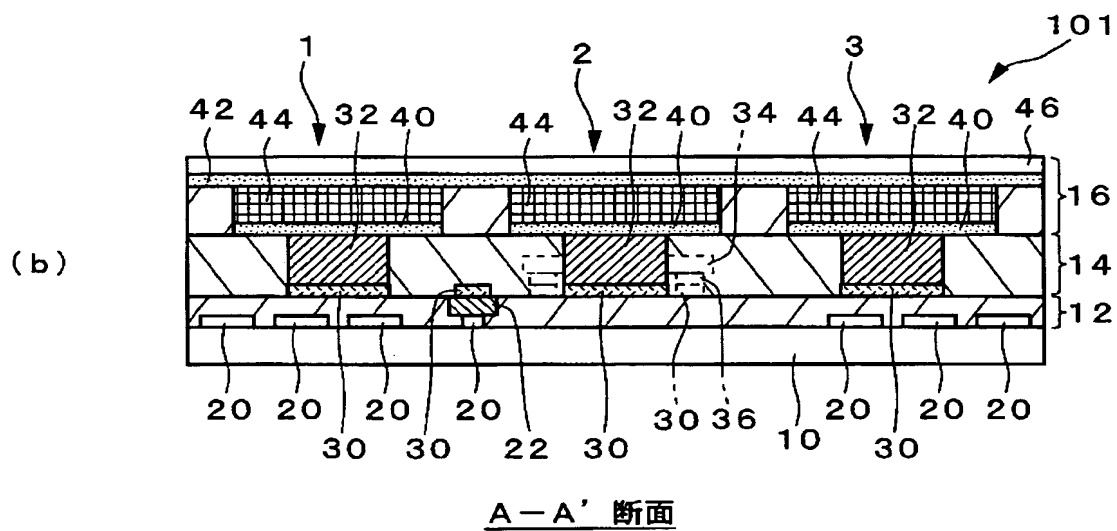
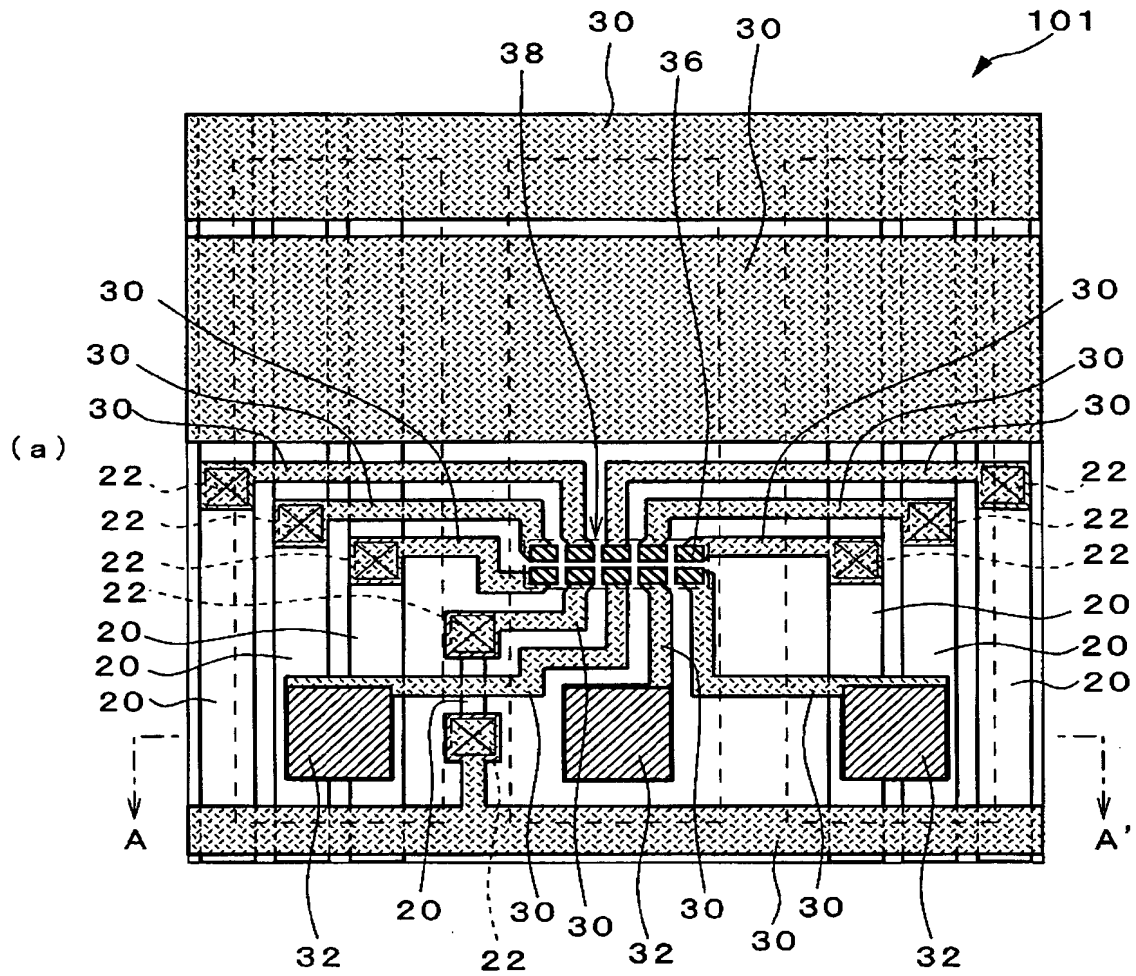
1、2、3…色画素、 20、30…配線、 34…チップ（基本画素駆動チップ）、 36…パッド（接続端子）、 40…画素電極、42…対向電極、44…発光層、 100…有機 E L（エレクトロルミネッセンス）表示装置、101…画素（基本画素）

【書類名】 図面

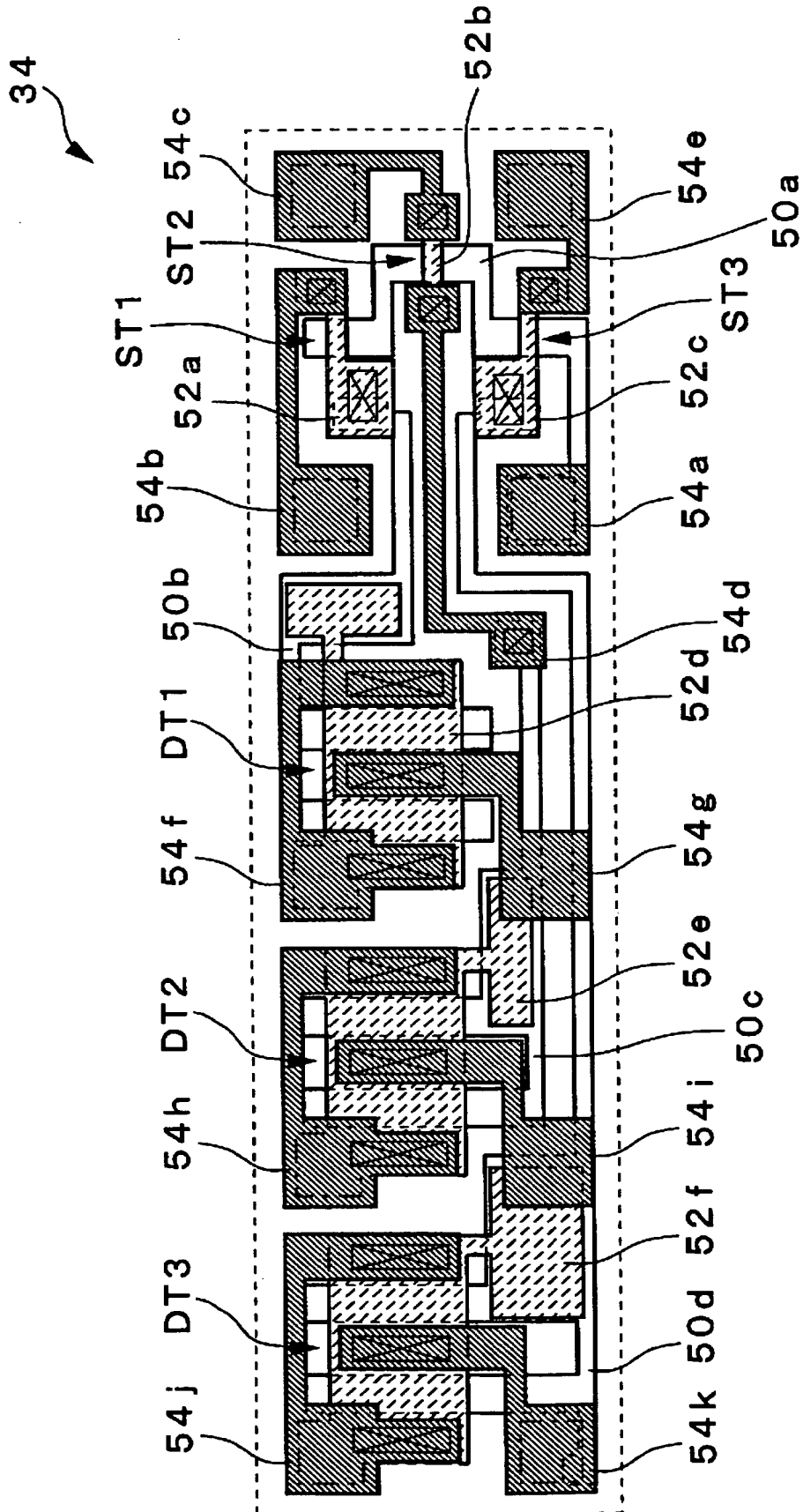
【図 1】



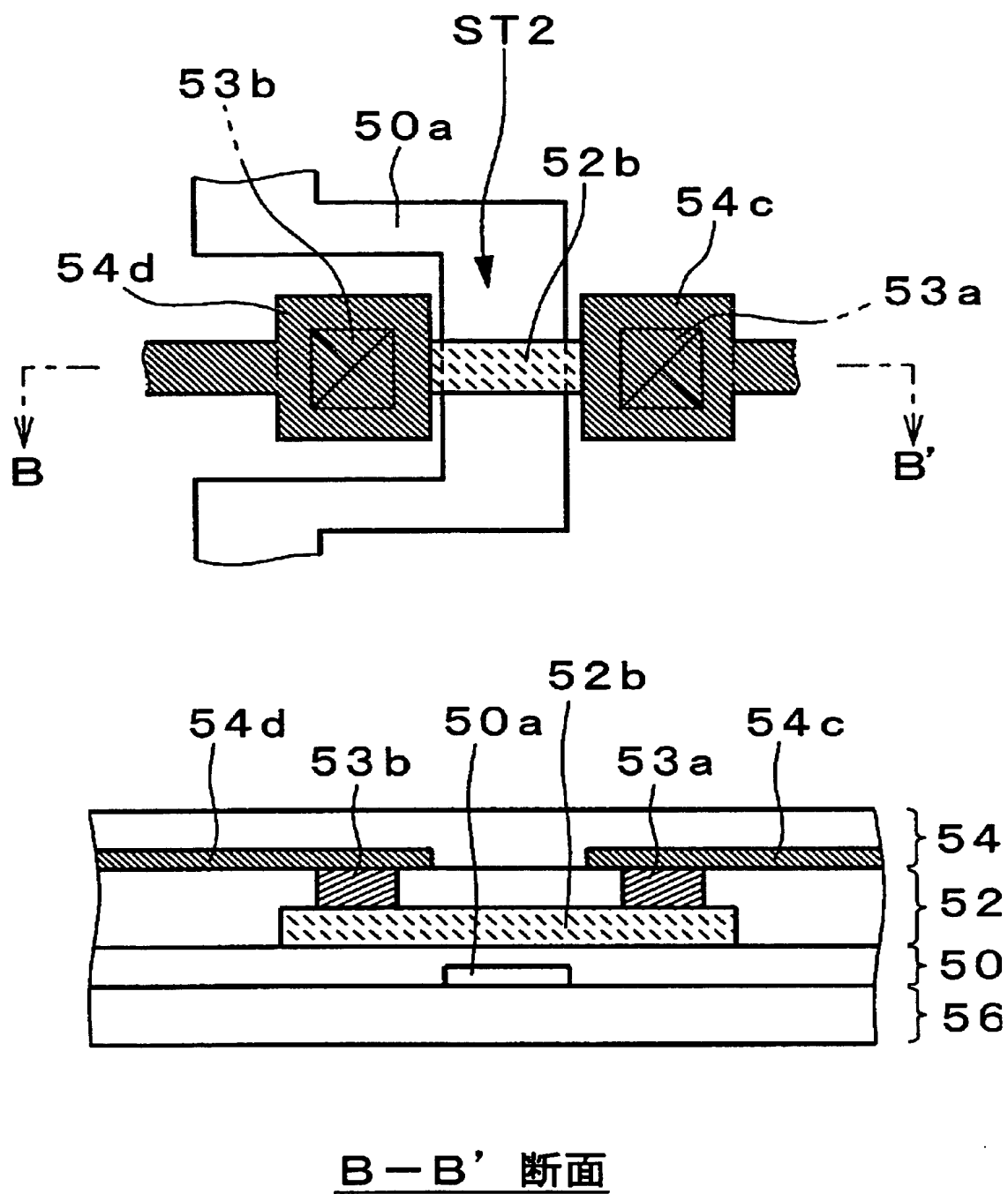
【図 2】



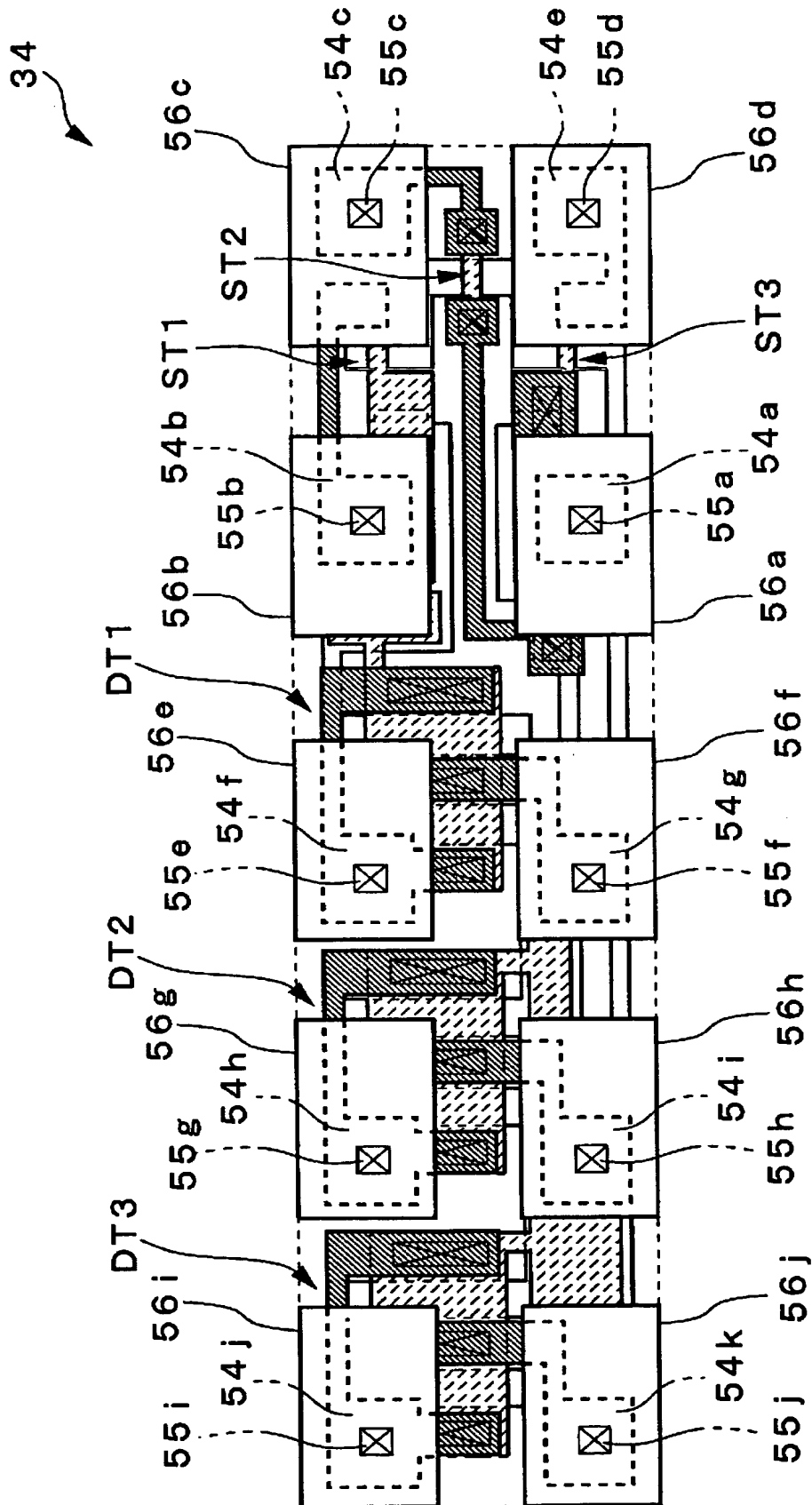
【図 3】



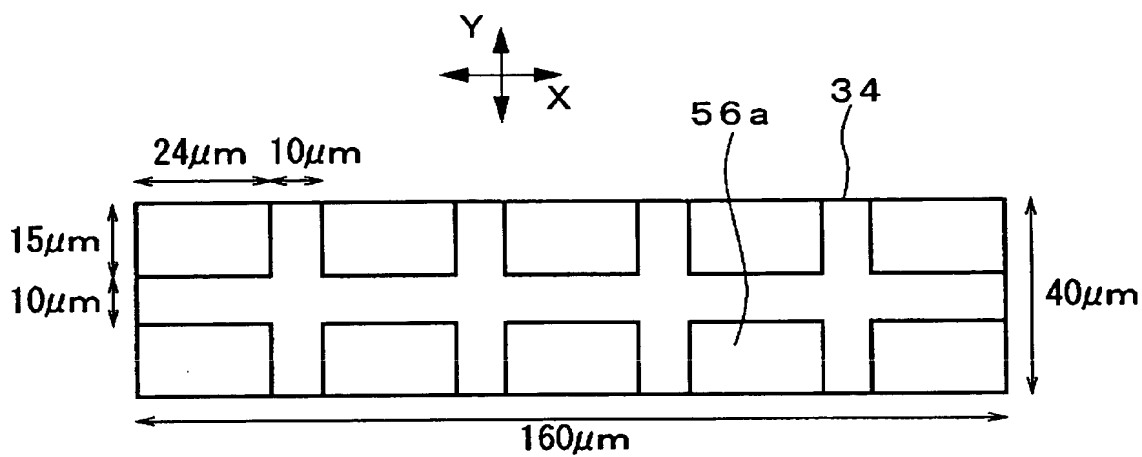
【図 4】



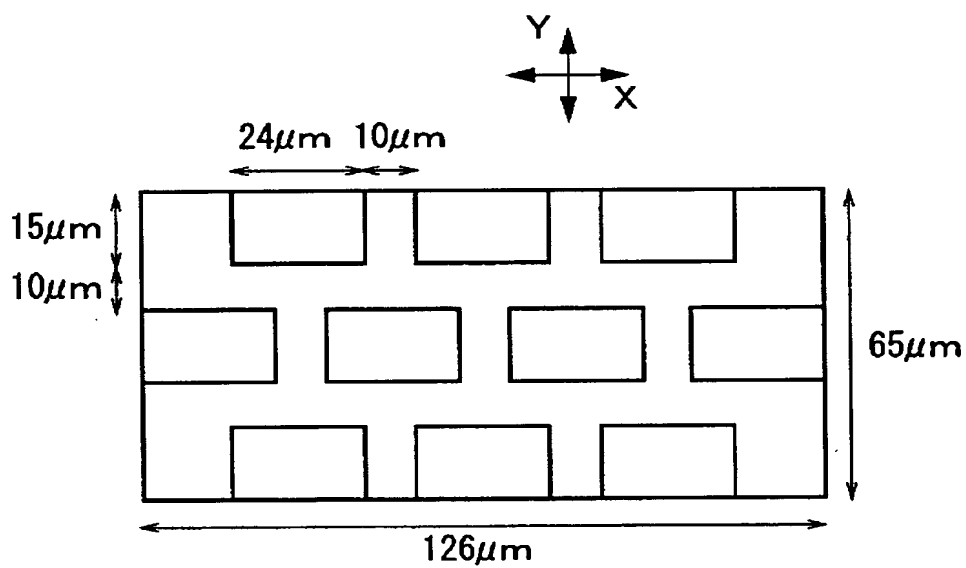
【図 5】



【図 6】



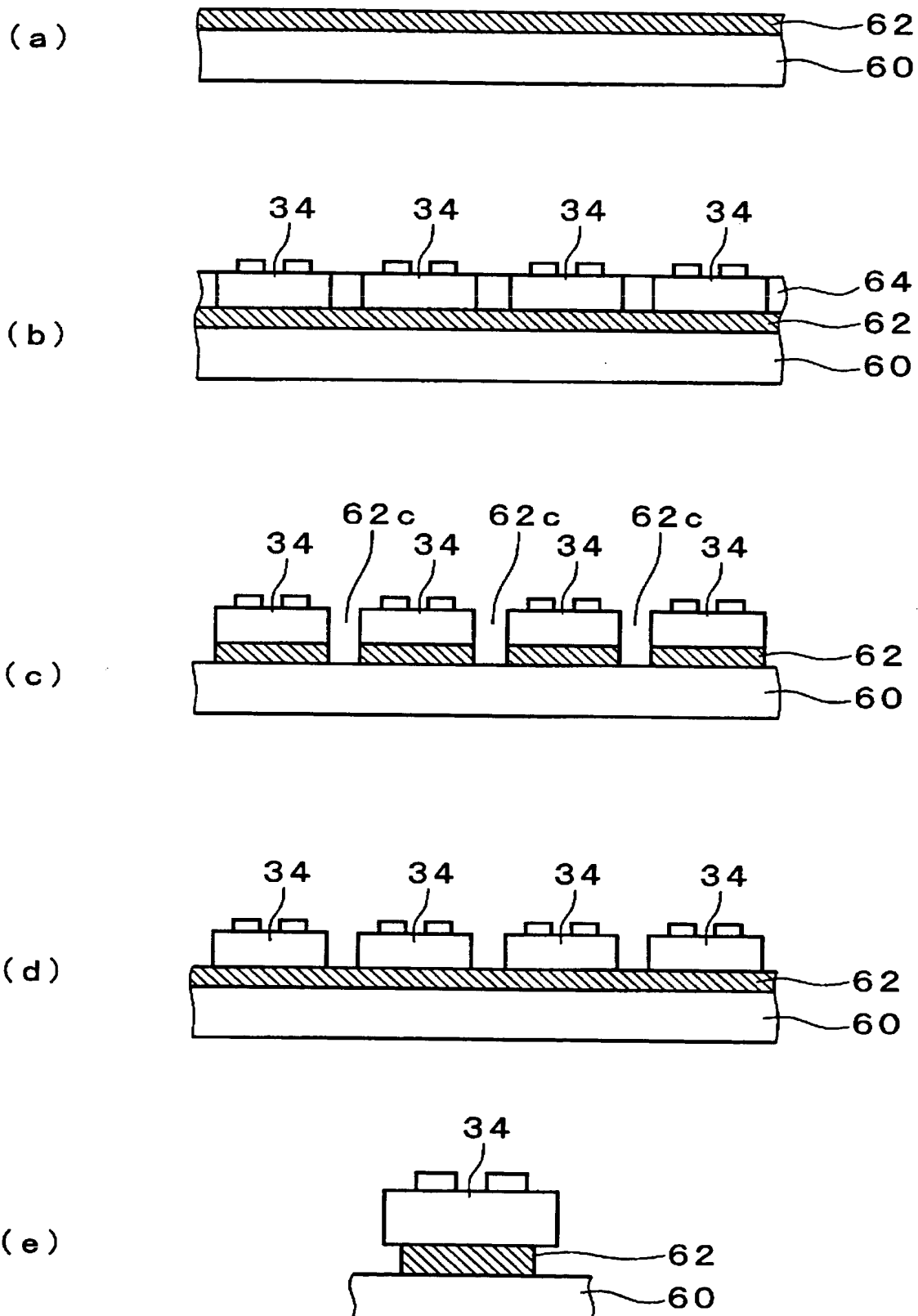
(a) 2列に配置する場合



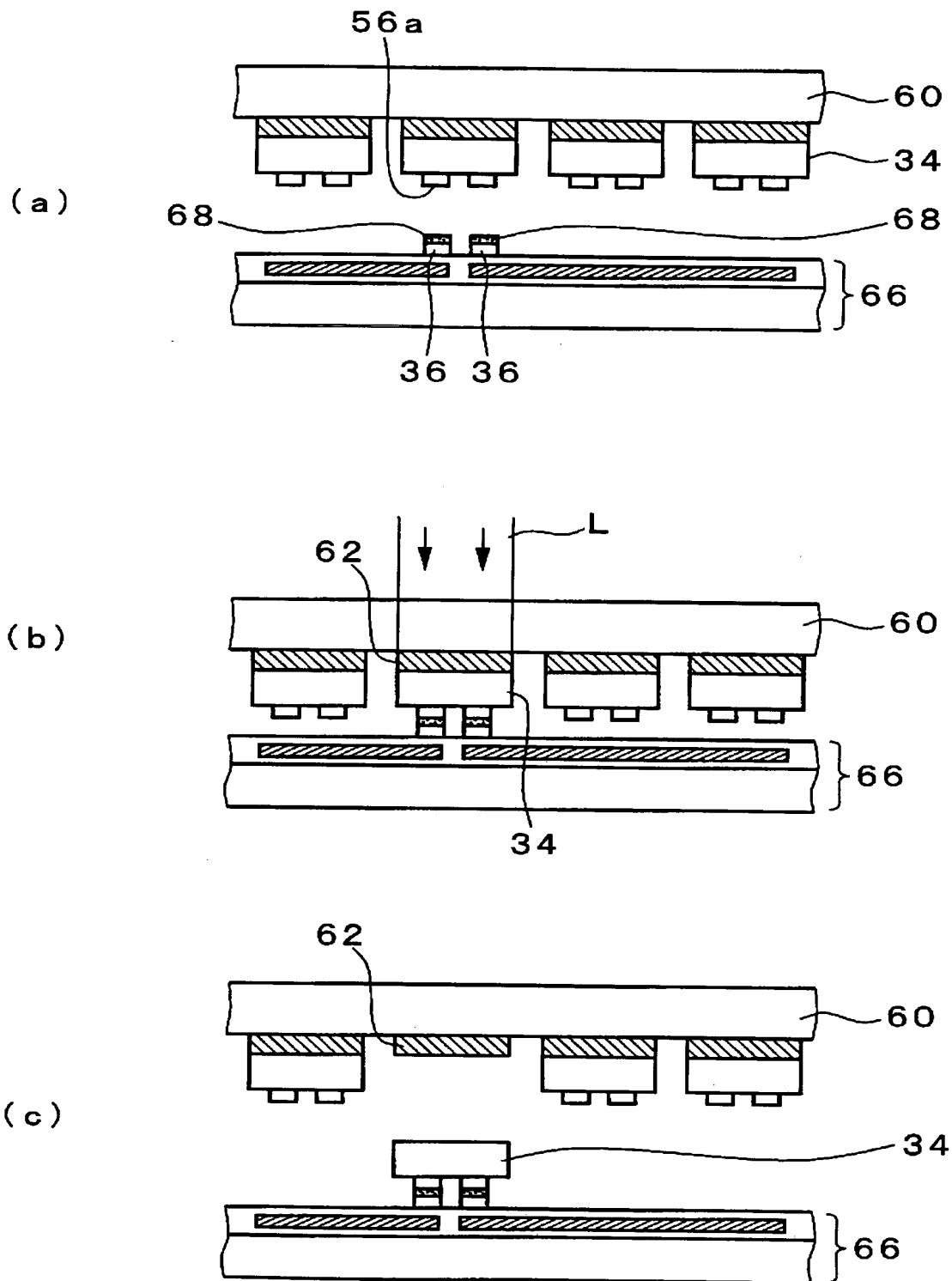
(b) 3列に配置する場合



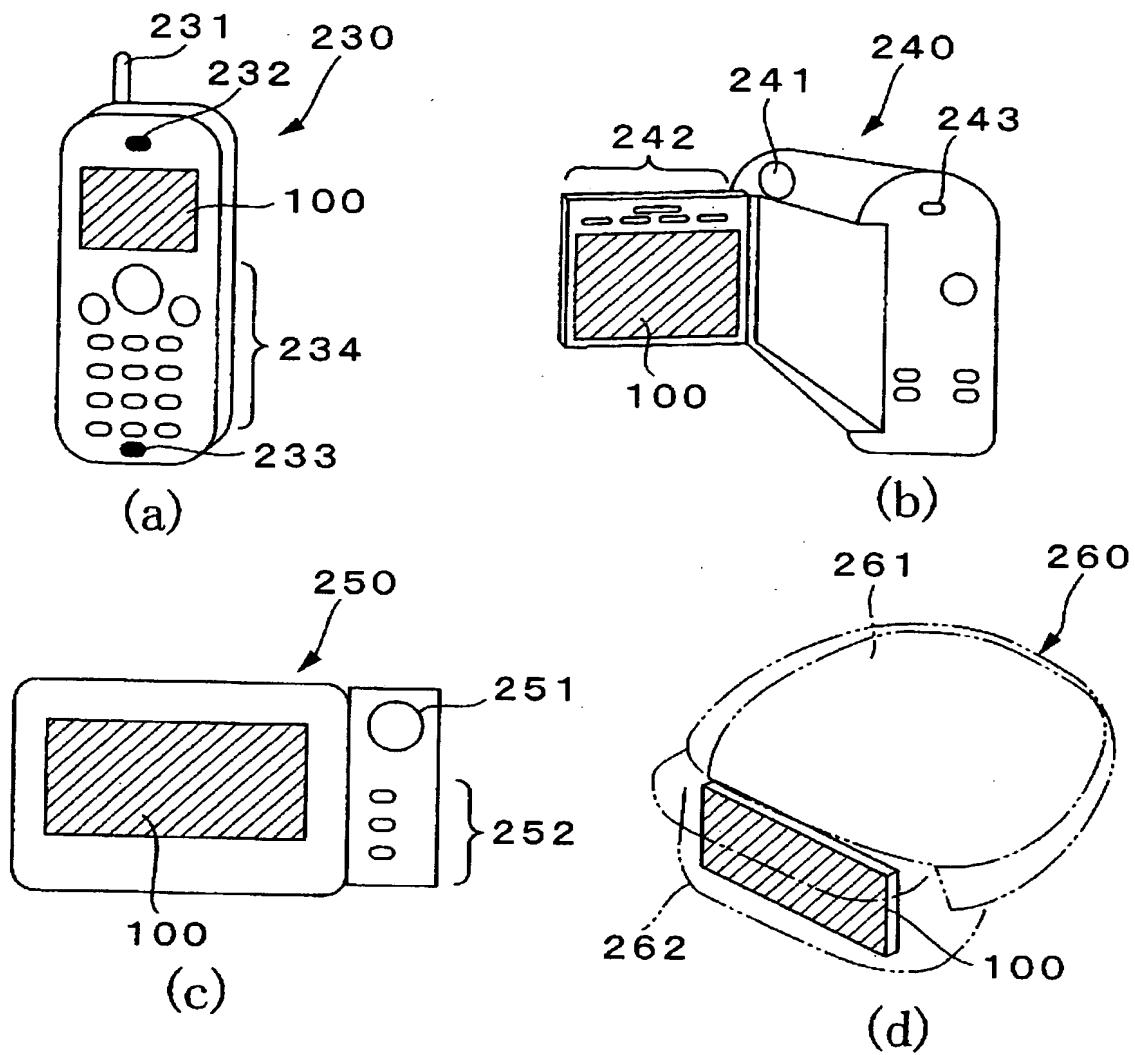
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 表示装置（電気光学装置）の製造歩留まりを向上すること。

【解決手段】 複数の色画素を含む基本画素(101)を複数配列した表示領域を含む電気光学装置の製造方法であって、第1の基板に各色画素を構成する複数の電気光学素子を駆動するための配線(20, 30)を基本画素の配列に対応して形成する基板配線形成工程と、第2の基板に基本画素の複数の色画素となる複数の電気光学素子を駆動するための駆動回路を各基本画素毎に転写可能にチップ化して形成し、複数の基本画素駆動チップ(34)を得る基本画素駆動チップ形成工程と、各基本画素駆動チップ(34)を第2の基板から第1の基板に転写し、配線膜(20, 30)の基本画素(101)に対応する各領域に駆動回路を接続する基本画素駆動チップ転写工程と、を含む。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 8 1 8 5 6
受付番号	5 0 2 0 1 4 4 5 9 3 3
書類名	特許願
担当官	田丸 三喜男 9 0 7 9
作成日	平成 1 4 年 9 月 3 0 日

<認定情報・付加情報>

【提出日】 平成14年 9月26日

次頁無

特願 2 0 0 2 - 2 8 1 8 5 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社